

JA 1-128473
MAY 1989

(54) FIELD EFFECT TRANSISTOR

(11) 1-128473 (A) (43) 22.5.1989 (19) JP

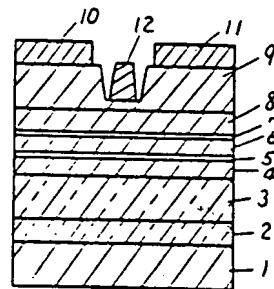
(21) Appl. No. 62-286056 (22) 12.11.1987

(71) MATSUSHITA ELECTRIC IND CO LTD (72) KAORU INOUE

(51) Int. Cl. H01L29/80, H01L21/20, H01L29/205

PURPOSE: To assure a large current driving capacity by forming a barrier layer constructing a quantum well as an Al/GaAs layer where the composition of Al/As on the surface side is less than that on the side of a substrate beyond a specific value.

CONSTITUTION: A double-hetero structure composed of layers 4~8 is formed after forming on a semi-insulating GaAs substrate 1 a non-doped $Al_{0.3}Ga_{0.7}As$ layer 3 as a buffer layer. The layer 4 is an N type $Al_{0.3}Ga_{0.7}As$ of a thickness of 50~150 Å, the layer 5 is a non-doped $Al_{0.3}Ga_{0.7}As$ spacer layer of a thickness of about 20 Å, and the layer 6 is a $In_xGa_{1-x}As$ quantum well layer (x is less than 0.25) of a thickness of 100~200 Å. And, the layer 7 is a non-doped $Al_{0.15}Ga_{0.85}As$ spacer layer of a thickness of about 20 Å, and the layer 8 is an N type $Al_{0.15}Ga_{0.85}As$ layer. An N type GaAs layer 9 is formed on the double hetero junction structure composed of the layers 4~8. The structure provides a higher two-dimensional electron gas concentration in the $In_xGa_{1-x}As$ quantum well layer 6. Thus maximum drive current is assured in a FET of a gate length of 1~0.5 μm.



⑫ 公開特許公報 (A) 平1-128473

⑤ Int. Cl. 4

H 01 L 29/80
21/20
29/205

識別記号

庁内整理番号

H-8122-5F
7739-5F
8526-5F

⑬ 公開 平成1年(1989)5月22日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 電界効果型トランジスタ

⑮ 特 願 昭62-286056

⑯ 出 願 昭62(1987)11月12日

⑰ 発 明 者 井 上 薫 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1. 発明の名称

電界効果型トランジスタ

2. 特許請求の範囲

半絶縁性化合物半導体基板上に形成された

$Al_xGa_{1-x}As$ バッファ層上に膜厚が 50 \AA から 150 \AA の N 形 $Al_xGa_{1-x}As$ 層, $Al_xGa_{1-x}As$ スペース層, $InAs$ 組成比 y が 0.25 以下の膜厚が 100 \AA から 200 \AA の $In_yGa_{1-y}As$ 層、膜厚が 20 \AA 程度の $Al_xGa_{1-x}As$ スペース層および N 形 $Al_xGa_{1-x}As$ 層が順次単結晶成長されたダブルヘテロ接合構造において、前記 $In_yGa_{1-y}As$ 層より表面側にある $Al_xGa_{1-x}As$ 層の $AlAs$ 組成比 z を 0.2 以下とし、かつ前記 $Al_xGa_{1-x}As$ 層の $AlAs$ 組成比 z を z よりも大ならしめたヘテロ接合構造を有する電界効果型トランジスタ。

3. 発明の詳細な説明

産業上の利用分野

本発明はヘテロ接合構造を用いた電界効果型トランジスタ (ヘテロ接合 FET) に関するもので

あり、広い範囲のゲート電圧に対して高い相互コンダクタンスを有する、高電流駆動能力に優れたヘテロ接合 FET を提供するものである。

従来の技術

ヘテロ接合 FET は高周波特性に優れ、低雑音のマイクロ波用トランジスタや、高速スイッチング素子として注目されている。最も一般的に用いられているヘテロ接合 FET は、ガリウム砒素 ($GaAs$) 層上に N 型のアルミニウム・ガリウム砒素 ($AlGaAs$) 層を形成したヘテロ構造を有し、 $AlGaAs$ と $GaAs$ の界面にたまる高移動度の 2 次元電子ガスを利用するものである。2 次元電子ガスの電子濃度は、通常、約 $1 \times 10^{12} / \text{cm}^2$ 程度と低く、ヘテロ接合 FET の電流駆動能力を向上させるために、2 次元電子ガスの濃度を高めることが望まれていた。

2 次元電子ガスの電子濃度を高めるヘテロ接合構造として、第 3 図に示すダブルヘテロ接合構造 (ダブルヘテロ接合 FET) が知られている (Japanese Journal of Applied Physics, Vol 23 pp.L61 (1984))。この構

造は、GaAs 量子井戸を2つのN形

$Al_{0.3}Ga_{0.7}As$ 層4ではさんだものであり、

GaAs 量子井戸 δ' には両側のN形 $Al_{0.3}Ga_{0.7}As$

層4より電子が供給されるため、2次元電子ガス

濃度をシングルヘテロ接合構造に比べ2倍に高め

ることが可能となる。実際に、ダブルヘテロ接合

構造にたまる電子濃度を測定した場合、 $2 \times 10^{12}/cm^2$

以上のシート電子濃度が得られることが確めら

れ、この構造をヘテロ接合FETに用いた場合、

最大ドレイン電流は、シングルヘテロ構造の場合

に比べ約2倍となることが知られている。

発明が解決しようとする問題点

しかしながら、相互コンダクタンス(gm)とゲ

ート電圧(V_{gs})の関係を見ると第2図の曲線II

に示すように、あるゲート電圧において最大のgm

値を得た後に V_{gs} の増加と共にgmの値が著しく

低下することがわかる。このような特性は、ダ

ブルヘテロ接合の場合ばかりでなく、シングルヘ

テロ接合構造の場合でも見られる。 V_{gs} に対する

gmの変化の曲線において、最大gm値の%以上

度に変化しなくなる領域では相互コンダクタンス

は0となる。実際、第2図の曲線IIに示したよう

に、ゲート電圧の高い領域では、gmが殆んど0

に近くなる様子がうかがえる。従って、FETの

ドレイン電流が大部分、2次元電子の伝導による

場合は、gmが高いゲート電圧の領域で著しく低

下することは避けたいと考えられる。

一般に、ヘテロ接合FETのドレイン電流は2

次元電子ガスによるものと、電子供給層であるN

形 $AlGaAs$ 層中を流れる並列伝導によるものの

2成分からなる。第4図aはシングルヘテロ接合

構造のヘテロ接合FETにおいて $AlGaAs$ 層の

並列伝導を無視した場合のゲート電圧とドレイン

電流および相互コンダクタンスの関係を簡単なモ

デルで計算した結果を示している。また第4図b

は $AlGaAs$ 層の並列伝導が極端に大きい場合の

計算である。 $AlGaAs$ 層の並列伝導成分が大き

い場合(第4図b)、高いゲート電圧に対しても

gmの低下は防止されることがわかる。従って、

広いゲート電圧の範囲で、高いgm値を得ようと

する場合には、 $AlGaAs$ 層の並列伝導によるドレ

イン電流成分を増加させる事が重要となる。しか

しながら、通常 $AlGaAs/GaAs$ ヘテロ接合FET

で用いられている $AlGaAs$ 層の $AlAs$ 組成比は、

およそ0.25~0.3と大きく、 $AlGaAs$ 層の並

列伝導を十分に大きくすることは困難である。

$AlGaAs$ 層に並列伝導を生じさせるためには、

通常、 $AlAs$ 組成比を0.2以下とする必要がある

が、この場合、GaAsと $AlGaAs$ のヘテロ界面

で生じる伝導帯の不連続値 ΔE_c が小さいため、

シングルヘテロ構造では、2次元電子ガスの濃度

が低下するという問題があった。

のgmが得られる V_{gs} の範囲4Vをできるだけ

大きくすることは、ヘテロ接合FETによるマイ

クロ波集積回路(MIC)を作製する上で重要と

なる。なぜならば、ゲートバイアス電圧を与える

電源は通常1つであるので、4Vが小さい場合に、

MICに含まれるすべてのヘテロ接合FETをgm

の高い領域で動作させることが困難となるからで

ある。従って、第2図の曲線IIのように4Vが小

さいという従来のヘテロ接合FETの問題点を解決

することが望まれていた。本発明は従来のダブル

ヘテロ接合構造を用いたヘテロ接合FETにおい

て、gmの高い V_{gs} の範囲(4V)を広くすると

ともに、FETの性能そのものを向上させること

のできる新しい構造のヘテロ接合FETを提供す

るものである。

ゲート電圧が高い領域において相互コンダク

タンスが減少する原因として考えられるのは、2次

元電子ガス濃度に上限が存在し、ある電圧以上の

ゲート電圧を加えても電子の数が増加しないとい

うことである。ゲート電圧の変化に対し、電子濃

度が増加しなくなる領域では相互コンダクタンス

は0となる。実際、第2図の曲線IIに示したよう

に、ゲート電圧の高い領域では、gmが殆んど0

に近くなる様子がうかがえる。従って、FETの

ドレイン電流が大部分、2次元電子の伝導による

場合は、gmが高いゲート電圧の領域で著しく低

下することは避けたいと考えられる。

一般に、ヘテロ接合FETのドレイン電流は2

次元電子ガスによるものと、電子供給層であるN

形 $AlGaAs$ 層中を流れる並列伝導によるものの

2成分からなる。第4図aはシングルヘテロ接合

構造のヘテロ接合FETにおいて $AlGaAs$ 層の

並列伝導を無視した場合のゲート電圧とドレイン

電流および相互コンダクタンスの関係を簡単なモ

デルで計算した結果を示している。また第4図b

は $AlGaAs$ 層の並列伝導が極端に大きい場合の

計算である。 $AlGaAs$ 層の並列伝導成分が大き

い場合(第4図b)、高いゲート電圧に対しても

gmの低下は防止されることがわかる。従って、

広いゲート電圧の範囲で、高いgm値を得ようと

する場合には、 $AlGaAs$ 層の並列伝導によるドレ

イン電流成分を増加させる事が重要となる。しか

しながら、通常 $AlGaAs/GaAs$ ヘテロ接合FET

で用いられている $AlGaAs$ 層の $AlAs$ 組成比は、

およそ0.25~0.3と大きく、 $AlGaAs$ 層の並

列伝導を十分に大きくすることは困難である。

$AlGaAs$ 層に並列伝導を生じさせるためには、

通常、 $AlAs$ 組成比を0.2以下とする必要がある

が、この場合、GaAsと $AlGaAs$ のヘテロ界面

で生じる伝導帯の不連続値 ΔE_c が小さいため、

シングルヘテロ構造では、2次元電子ガスの濃度

が低下するという問題があった。

作 用

表面側のバリア層の $AlGaAs$ 組成を0.2以下とすることにより、ゲート電圧を正の方向に印加した場合、表面側の $AlGaAs$ 層での並列伝導が大きくなり、相互コンダクタンスが広いゲート電圧の範囲で大きいFETを作製できる。また、基板側のバリア層の $AlAs$ 組成が表面側よりも大きいことにより、量子井戸を流れる電流が量子井戸内あるいはそれより表面側に流れやすくなるので、FETのドレインコンダクタンスを小さくすることができると同時に、基板側のバリア層から供給される電子濃度を大きくできるので、本発明のFETは大きい電流駆動能力を有することになる。

実 施 例

第1図は本発明の第1の実施例を示すヘテロ接合構造断面図である。半絶縁性 $GaAs$ 基板1に $0.1\mu m$ の厚さのノンドープ $GaAs$ 層2、 $0.2\mu m$ の厚さのノンドープ $Al_{0.3}Ga_{0.7}As$ 層3をバッファ層として形成した後、層4、5、6、7、8でなるダブルヘテロ構造を形成した。層4は、

動能力を有するFET作製に適していることが確認された。

第1図のヘテロ接合構造において特徴となる点は、既に説明したように、 $In_xGa_{1-x}As$ 量子井戸層6をはさむ2つの $AlGaAs$ バリア層の $AlAs$ 組成が基板側すなわち層4と5で0.3と高く、表面側すなわち層7と8で0.15と低くなるように構成されていることである。この様な構造のヘテロ接合FETの典型的な相互コンダクタンスとゲート電圧の関係は第2図Iで示される曲線で表わされる。一方、 $In_xGa_{1-x}As$ 量子井戸層6をはさむ2つの $AlGaAs$ バリア層の $AlAs$ 組成を表面側及び基板側で同一の0.3とした場合には、第2図の曲線IIで示されるような特性となり、相互コンダクタンスがゲート電圧の高い側で低下することが見てとれる。

本発明のヘテロ接合FETでは $In_xGa_{1-x}As$ 量子井戸層6の基板側のバリア層の $AlAs$ 組成が0.3と高く、このため、電子が量子井戸内あるいはそれより表面側に閉じ込められるので、FET

50Åから150Åの厚さのN形 $Al_{0.3}Ga_{0.7}As$ 層、層5は20Å程度の膜厚のノンドープ $Al_{0.3}Ga_{0.7}As$ スペーサ層、層6は、厚さが100Åから200Åの $In_xGa_{1-x}As$ 量子井戸層であり、 x は0.25以下としている。層7は厚さが20Å程度のノンドープの $Al_{0.15}Ga_{0.85}As$ スペーサ層、層8は300Åの厚さのN形 $Al_{0.15}Ga_{0.85}As$ 層である。この層4、5、6、7、8よりなるダブルヘテロ接合構造の上にN形 $GaAs$ 層9を500Åから1500Å形成し、ゲート電極形成部のみこのN形 $GaAs$ 層9を一部除去し薄層化した後、ソース電極10、ドレイン電極11、ゲート電極12を形成しFETを作製した。

この構造において $In_xGa_{1-x}As$ 量子井戸層6にたまる2次元電子ガス濃度は、N形 $AlGaAs$ 層4および8に添加するN形不純物濃度を約 $2 \times 10^{18}/cm^3$ とした場合に、 $3 \times 10^{12}/cm^3$ と高い値を示す。ゲート長1 μm から0.5 μm のFETを作製した場合に最大ドレイン電流として500~600mA/mmのものが得られ、この構造が高い電流駆

のドレインコンダクタンスは低くおさえられ、またショートチャネル効果によるゲート長短縮化に伴うしきい値電圧の変動は小さく抑えられるなどの長所がある。また、表面側のバリア層の $AlAs$ 組成が小さいため、ソース・ドレイン電極のオーミック接触抵抗も小さくなる。

次に第2の実施例について説明する。先の実施例1では、量子井戸を構成する材料として $In_xGa_{1-x}As$ 層を用いたが、これを100~200Å厚さの $GaAs$ として他の構成は第1図と同じものとしたヘテロ接合FETを作製した。量子井戸層を $GaAs$ 層としたため、量子井戸にたまる2次元電子ガス濃度は、 $2.5 \times 10^{12}/cm^3$ 程度と、いくぶん小さくなったが、第2図の曲線Iと類似したゲート電圧と相互コンダクタンスの関係が得られ、広いゲート電圧の範囲において、高い相互コンダクタンスを示すヘテロ接合FETが得られた。

発明の効果

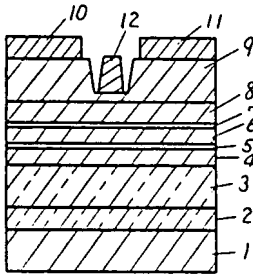
本発明のダブルヘテロ接合構造を有するヘテロ接合FETでは、 $GaAs$ または x が0.25以下の

$\text{In}_x\text{Ga}_{1-x}\text{As}$ 層よりなる量子井戸層をはさんで、 AlAs 組成が0.2以下の AlGaAs バリア層を表面側に、 AlAs 組成が表面側バリア層の値よりも高い AlGaAs バリア層を基板側に設けているので、ゲート電圧を順方向に加えた時に表面側のN形 AlGaAs 層の並列伝導により相互コンダクタンスの低下が抑圧され、広いゲート電圧の範囲において高い相互コンダクタンスを有することになること、表面側の AlGaAs 層の AlAs 組成が低いことオーミック接触抵抗が低下すること、また、基板側の AlGaAs バリア層の AlAs 組成が表面側よりも高いことから、ドレインコンダクタンスを低くできることとショートチャンネル効果が抑制されることなど、ヘテロ接合FETの特性が大きく改善される効果を有する。なお $\text{In}_x\text{Ga}_{1-x}\text{As}$ の x の値を0.25以下としたのは、100~200Åの量子井戸層の厚さに対して良好な電気的特性を得るためである。

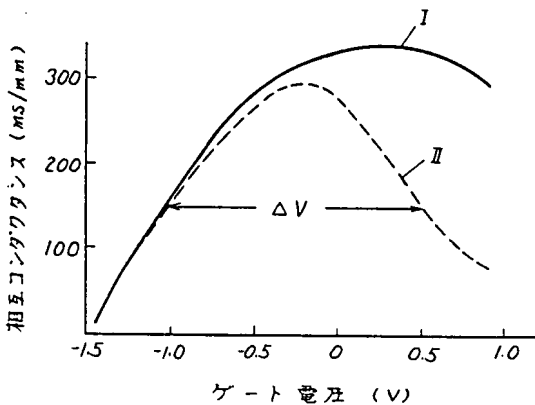
4. 図面の簡単な説明

第1図は本発明の第1の実施例を説明するため

第1図



第2図

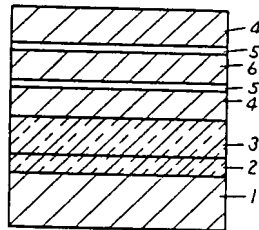


のヘテロ接合FETの断面図、第2図は本発明のヘテロ接合FETと従来のヘテロ接合FETのゲート電圧と相互コンダクタンスの関係を説明するための特性図、第3図は従来のヘテロ接合に用いられたダブルヘテロ接合構造の断面図、第4図は計算で求めたヘテロ接合FETの特性図である。

1……半絶縁性GaAs基板、2……ノンドープGaAs層、3……ノンドープ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層、4……N形 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 層、5……ノンドープ $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ スペーサ層、6…… $\text{In}_x\text{Ga}_{1-x}\text{As}$ 量子井戸層、7……ノンドープ $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ スペーサ層、8……N形 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ 層、9……N形GaAs層、10……ソース電極、11……ドレイン電極、12……ゲート電極。

代理人の氏名 井理士 中 尾 敏 男 ほか1名

第3図



第4図

